

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163342

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/78
29/43H 0 1 L 29/78
29/62
29/786 5 2 K
G
6 5 3 C

審査請求 有 請求項の数 8 F D (全 7 頁)

(21) 出願番号 特願平9-340830

(22) 出願日 平成9年(1997)11月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 安藤 幸由

東京都港区芝五丁目7番1号 日本電気株
式会社内

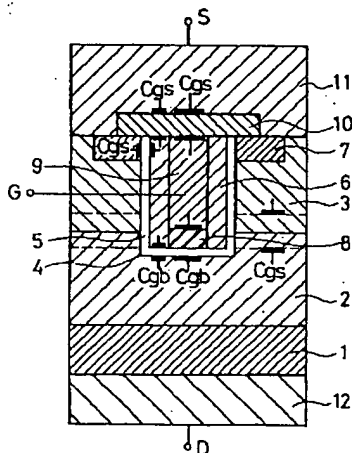
(74) 代理人 弁理士 堀 城之

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 トレンチ溝を有する縦型電界効果トランジスタにおいて、ゲート電極抵抗とオン抵抗を低減した半導体装置を実現する。

【解決手段】 第1導電型半導体基板1または第1導電型エピタキシャル層2の表面部に、第2導電型の第1拡散層3および第1導電型の第2拡散層7が二重に形成され、さらにその表面にゲート酸化膜5およびゲート電極6が埋設されるトレンチ溝4を有し、かつチャネルがトレンチ溝4の深さ方向となる縦方向に配設される半導体装置において、ゲート電極6の一部をトレンチ溝4の深さ方向にエッチングして中空部分41を形成し、その中空部分41の底部にゲート酸化膜5よりも厚い酸化膜層8を、さらにその上部にゲート電極よりも導電性の高い金属9を埋め込んである構成とした。



1 : N+型半導体基板
2 : N-エピタキシャル層
3 : Pベース領域
4 : トレンチ溝
5 : ゲート酸化膜
6 : ポリシリコン

7 : ソース領域
8 : 酸化膜層
9 : 金属層
10 : 層間膜
11 : ソース電極
12 : ドレイン電極

【特許請求の範囲】

【請求項1】 第1導電型半導体基板または第1導電型エピタキシャル層の表面部に、第2導電型の第1拡散層および第1導電型の第2拡散層が二重に形成され、さらにその表面にゲート酸化膜およびゲート電極が埋設されるトレンチ溝を有し、かつチャネルがトレンチ溝の深さ方向となる縦方向に配設される半導体装置において、前記ゲート電極の一部をトレンチ溝の深さ方向にエッチングして中空部分を形成し、その中空部分の底部に前記ゲート酸化膜よりも厚い酸化膜層を、さらにその上部に前記ゲート電極よりも導電性の高い金属を埋め込んであることを特徴とする、半導体装置。

【請求項2】 前記ゲート酸化膜が前記トレンチ溝の内面を覆う形態で形成されていることを特徴とする、請求項1記載の半導体装置。

【請求項3】 前記ゲート電極の中空部分は、ポリシリコンをトレンチ溝内に均一の厚さで堆積させて、トレンチ溝内のポリシリコンを側壁部分を残してエッチングして形成してあることを特徴とする、請求項1または2記載の半導体装置。

【請求項4】 前記金属を埋め込んである中空部分が、前記ゲート電極の中央部分に位置していることを特徴とする、請求項1～3の何れかに記載の半導体装置。

【請求項5】 前記トレンチ溝の底部が前記第1導電型エピタキシャル層内に位置し、かつ前記ゲート酸化膜及び酸化膜層の一部が第1導電型エピタキシャル層内に位置していることを特徴とする、請求項1～4の何れかに記載の半導体装置。

【請求項6】 前記酸化膜層が前記ゲート酸化膜に接していることを特徴とする、請求項1～5の何れかに記載の半導体装置。

【請求項7】 前記金属と第1導電型エピタキシャル層との間に、前記酸化膜層とゲート酸化膜、およびポリシリコンとゲート酸化膜が位置していることを特徴とする請求項1～6の何れかに記載の半導体装置。

【請求項8】 前記金属がタングステンであることを特徴とする、請求項1～7の何れかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特にゲート抵抗とオン抵抗を低減することによりスイッチング損失を改善した半導体装置に関する。

【0002】

【従来の技術】半導体装置のうち、縦型電界効果トランジスタは、電圧駆動型のデバイスであること、高周波での動作が可能なこと、微細化により低オン抵抗化が可能なこと等の理由から近年注目されている。

【0003】縦型電界効果トランジスタのうち低オン抵抗化の手段として、半導体基板に溝を形成して、そこにゲート電極を埋め込む、いわゆるトレンチ型UMOSF

ETがある。

【0004】しかし、このトレンチ型UMOSFETにおいては、ゲート酸化膜が均一に形成されていることから入力容量、帰還容量が大きくなるという欠点がある。

【0005】このトレンチ型UMOSFET装置例の一つとして、特開平5-335582に記載されているが、その例について図13を参照して説明する。

【0006】まず、N+型半導体基板1上に成長させたN-エピタキシャル層2に、拡散層を順次イオン注入等で形成して、Pベース領域3およびソース領域7を形成する。その後、フォトリソグラフィにより位置決めし、リアクティブイオンエッチング(RIE)等により垂直にエッチングしてトレンチ溝4を形成する。

【0007】この後、熱酸化によってトレンチ溝4の側壁、底部のシリコンを酸化して薄いゲート酸化膜5を形成する。その後ポリシリコンをトレンチ溝4に堆積して、これをエッチバックにより平坦化し、ポリシリコン6を形成する。

【0008】更に、このポリシリコン6の上にLPCVD等で層間膜を堆積し、フォトリソグラフィにより位置決めし、エッチングを行い層間膜10を形成し、最後にこの上にA1電極をスパッタリング等により堆積し、ソース電極11を形成する。

【0009】図13に示す例では、ゲート酸化膜5が均一に形成されていることから、入力容量、帰還容量が大きくなる。

【0010】この改善例として提案されている方法について、図14を参照して説明する。この例においても、トレンチ溝4を形成するところまでは図13の例と同じである。トレンチ溝4形成後、このトレンチ溝4にTEOSをソースとしたLPCVDにより酸化膜をトレンチ溝4が平坦化するまで堆積する。

【0011】その後、P型ベース領域3のわずかに下までエッチバックする。これによりトレンチ溝4の底部に厚い酸化膜層8が形成される。この後、熱酸化によってトレンチ溝4の側壁部のシリコンを酸化して薄いゲート酸化膜5を形成する。この後のポリシリコン堆積以降は図13の例と同じである。

【0012】

【発明が解決しようとする課題】第1の問題点は、ゲート電極自体の抵抗成分によるスイッチング損失が生じることである。その理由は、ゲート電極としてポリシリコンを使用しているため、金属電極よりも高抵抗であることに起因している。第2の問題点は、オン抵抗の上昇が生じてしまうことである。その理由は、トレンチ底部の側壁も厚い酸化膜であるために、ゲート電圧印加時に、トレンチ底部の側壁と接するエピタキシャル層に蓄積層が生じにくくなるためである。

【0013】本発明の目的は、トレンチ溝を有する縦型電界効果トランジスタにおいて、ゲート電極抵抗とオン

抵抗を低減した半導体装置を実現することである。

【0014】

【課題を解決するための手段】前記課題を解決するため、本発明では、第1導電型半導体基板または第1導電型エピタキシャル層の表面部に、第2導電型の第1拡散層および第1導電型の第2拡散層が二重に形成され、さらにその表面にゲート酸化膜およびゲート電極が埋設されるトレンチ溝を有し、かつチャネルがトレンチ溝の深さ方向となる縦方向に配設される半導体装置において、ゲート電極の一部をトレンチ溝の深さ方向にエッチングして中空部分を形成し、その中空部分の底部にゲート酸化膜よりも厚い酸化膜層を、さらにその上部にゲート電極よりも導電性の高い金属を埋め込んである構成とした。その場合、ゲート酸化膜はトレンチ溝の内面を覆う形態で形成されているのが好適である。また、ゲート電極の中空部分は、ポリシリコンをトレンチ溝内に均一の厚さで堆積させて、トレンチ溝内のポリシリコンを側壁部分を残してエッチングして形成してある構成とすることもできる。また、金属を埋め込んである中空部分が、ゲート電極の中央部分に位置している構成とすることもできる。また、トレンチ溝の底部が第1導電型エピタキシャル層内に位置し、かつゲート酸化膜及び酸化膜層の一部が第1導電型エピタキシャル層内に位置している構成とすることもできる。また、酸化膜層がゲート酸化膜に接している構成とすることもできる。また、金属と第1導電型エピタキシャル層との間に、酸化膜層とゲート酸化膜、およびポリシリコンとゲート酸化膜が位置している構成とすることもできる。また、金属としてはタングステンなどが好適である。

【0015】ポリシリコンゲート電極部分に、ポリシリコンよりも導電率の高い金属を埋め込むため、ゲート電極自体の抵抗成分を低減できる。さらに、トレンチ溝の側壁部分にゲート電極が設けられているため、オン抵抗を低減できる。

【0016】

【発明の実施の形態】次に本発明の好適な実施の形態について図面を用いて詳細に説明する。本実施の形態では、トレンチ溝内に埋め込まれたポリシリコンゲート電極の中央部分を縦方向にエッチングし、底部には厚い酸化膜を、その上部にはポリシリコンゲート電極よりも導電性の高い金属を埋め込むようにする。

【0017】まず、図1(a)、(b)を参照すると、本実施の形態では、N+型半導体基板1上にN型エピタキシャル層2を有する半導体基板(ウェハー)を用い、このウェハー主面上に複数のユニットセルを形成する。

【0018】トレンチ溝の形成は、Pベース領域3形成後、酸化膜を成長させ、リソグラフィ技術を用いて酸化膜をパターニングし、この酸化膜をマスクとしてシリコンエッチを行い、Pベース領域3を貫通しエピタキシャル層2内までトレンチ溝4を形成する。その後、トレ

ンチ溝4内にゲート酸化膜5を形成し、ポリシリコン6を堆積し、エッチバックを行う。

【0019】次に主面にフォトレジストを塗付し、パターニングを行い、パターニングされたフォトレジストをマスクとしてAsをイオン注入し、フォトレジストを除去し活性化を行い、ソース領域7を形成する。

【0020】その後、主面に酸化膜を成長させ、リソグラフィ技術を用いて酸化膜のパターニングを行い、この酸化膜をマスクとしてポリシリコン6の中心部分のエッチングを行う。そのエッチングされた部分に酸化膜を堆積し、エッチングして底部に酸化膜8を形成する。更にその酸化膜8の上部にタングステン等の金属を堆積、エッチングして金属層9を形成する。

【0021】その後、BPSG等の絶縁膜を堆積し、トレンチ溝4とその周辺部のみを残すように、リソグラフィ技術を用いてパターニングし、エッチングを行って層間膜10を形成し、その上にアルミ等の金属を被着してソース電極11とし、半導体基板の裏面をドレイン電極12とする。

【0022】次に本発明の実施の形態の動作について図2を参照して詳細に説明する。本発明によれば、ゲート電極であるポリシリコンよりも高い導電率を持つ金属を埋め込むことによってゲート電極自体の抵抗が低くなるため、チャネルを形成するためにゲートに印加する電圧は低減し、ドライブ駆動損失を低減できる。

【0023】また、この縦型MOSFETの入力容量 C_{iss} 、出力容量 C_{oss} 、帰還容量 C_{rss} は一般的に下記の式になることが知られている。

$$C_{iss} = C_{gs} + C_{gd}, \quad C_{oss} = C_{gd} + C_{ds}, \quad C_{rss} = C_{gd}$$

(C_{gs} :ゲート・ソース間容量、 C_{gd} :ゲート・ドレイン間容量、 C_{ds} :ドレイン・ソース間容量)

【0024】本発明によれば、ゲート電極の下部に酸化膜8を埋め込むことによって、 C_{gd} が低くなる。よって C_{iss} 、 C_{oss} 、 C_{rss} が低くなり駆動損失、スイッチング損失が低減できる。また、ゲート電極自体の抵抗も低減されているため、駆動動作速度の高速化が可能になる。また、トレンチ溝の側壁部にゲート電極が設けられているため、蓄積層が生じ、オン抵抗が低減できる。

【0025】

【実施例】次に本発明の実施例について図面を用いてより具体的に説明する。結晶面{100}で、Asが約 $1 \times 10^{19} \text{ cm}^{-3}$ ドーパされたN+型半導体基板1に、Pが約 $1 \times 10^{16} \text{ cm}^{-3}$ ドーパされたN型エピタキシャル層2を約 $5 \mu\text{m}$ 成長させた基板を用いる。

【0026】図3に示すように、基板上に約 200 \AA の酸化膜13を成長させBイオンを加速電子 70 KeV 、ドーズ量 $1 \times 10^{13} \sim 3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入を行い、その後 1140°C 、 $10 \sim 20$ 分の熱処理を行い、拡散深さが約 $1.5 \mu\text{m}$ 程度となるようPベース領

域3を形成する。その後、酸化膜13は除去しても、除去しなくてもよい。

【0027】図4に示すように、トレンチマスク用CVD酸化膜14を1000～5000Å程度ウエハー主面に成長させ、リソグラフィ技術を用いてトレンチマスク用CVD酸化膜14をエッチングし、続いてP型ベース領域3の深さよりも深い約1.7μmにまでSiをエッチングしトレンチ溝4を形成する。この際、幅は約0.7μm程度とする。その後、CVD酸化膜14はエッチングによって除去する。

【0028】図5に示すように、約500Åの厚さのゲート酸化膜5を形成し、6000～8000Åの高濃度のPを含んだポリシリコン6を成長させ、トレンチ溝4を埋め込み、このポリシリコンを半導体主表面とほぼ同じくらいになるまでエッチバックを行う。ポリシリコンは不純物を含まない状態で成長させ、その後イオン注入や拡散によって形成してもよい。

【0029】図6に示すように、主面にフォトレジストを塗付し、フォトレジストをパターニングし、パターニングされたフォトレジスト15をマスクとしてイオン注入を行う。イオン注入条件はAsイオンを用い加速電圧を約50KeV、ドーズ量は5E15～5E16cm⁻²とする。その後1000℃、10～30分程度の熱処理を行い、イオン注入原子の活性化を行い、ソース領域7を形成する。その後フォトレジスト15を除去する。

【0030】図7に示すように、主面にCVD酸化膜16を1000～5000Å程度成長させ、リソグラフィ技術を用いてポリシリコンエッチマスク用CVD酸化膜16をエッチングし、続いてポリシリコン6をゲート酸化膜5のある深さまでエッチングする。この際、幅は約0.5μm程度とする。

【0031】図8に示すように、CVD酸化膜16を除去した後、LPCVDにより酸化膜を堆積し、エッチバックを行い、厚さ約2000Å程度の酸化膜8を形成する。続いてタングステンを堆積し、半導体主面と同じくらいまでエッチバックを行い、タングステンから成る金属層9を形成する。

【0032】図9に示すように、BPSG等を堆積しトレンチ溝4とその周辺のみを残すようにフォトレジストを塗付、パターニングし、エッチングを行って、BPSG等の層間膜10を形成する。続いて主面にアルミを被着させ、平坦化を行ってソース電極11とし、裏面にAu等を被着させ、ドレイン電極12とする。

【0033】以上の実施例はNchの例だがPchでも有効であることは明らかである。

【0034】次に、本実施例の動作について図10を参照して説明する。図10はゲート電極にポリシリコン6のみを使用しゲート酸化膜5がトレンチ溝4内で一様な場合の例、図11は本実施例の断面図である。

【0035】トレンチ溝4内のゲート電極の抵抗値は、

ポリシリコン6のみの場合をRG、本実施例の場合をRG' とすると、ドーパされたポリシリコンの抵抗率が、タングステンの10倍であるとすれば、RG' = 0.1RGとなり、ポリシリコンのみの場合よりも90%低減できる。

【0036】ゲート・ドレイン間の容量は、ゲート酸化膜が一様な場合をCgd、本実施例の場合をCgd' とすると、Cgd' = 0.43Cgdとなり、ゲート酸化膜を一様とした場合よりも57%低減できる。

【0037】次に、本発明の第2の実施の形態について図面を用いて説明する。図12は第2の実施の形態の断面図である。この実施の形態においては、第1の実施の形態で行っていたポリシリコンのトレンチ溝4内への埋め込みは行っていない。トレンチ溝4、底部の酸化膜8を厚くしているため、ゲート・ドレイン間の容量が低減し、タングステン等の金属層9を設けているため、ゲート電極の抵抗成分を低減できる。

【0038】トレンチ溝4の幅が広く、ポリシリコンをトレンチ溝4内に埋め込まない場合でも適用できる。

【0039】製造例としては、トレンチ溝4を形成し、ゲート酸化膜5を形成するところまでは第1の実施の形態と同じである。ゲート酸化膜5形成後に、LPCVDによってポリシリコンを堆積し、リソグラフィ技術を用いてエッチングを行いポリシリコン6を形成する。

【0040】次にトレンチ溝4の底部に酸化膜8を形成する。そして、タングステン等の金属を堆積し、ポリシリコン6と同じくらいまでエッチバックを行い金属層9を形成する。続いてポリシリコン6をオーバーラップするようにして層間膜10を形成し、その上にソース電極11を形成し、裏面にドレイン電極を形成する。

【0041】

【発明の効果】第1の効果は、ゲート電極の抵抗を低減できる。これによりスイッチング損失が低減できる。その理由は、ゲート電極内に導電率の高い金属を埋め込んでいるためである。

【0042】第2の効果は、オン抵抗を低減できる。これにより出力側の損失が低減できる。その理由は、トレンチ溝の側壁にもゲート電極が設けられているためである。

【0043】第3の効果は、入力容量、出力容量、帰還容量が低減できる。これにより高速スイッチングが可能になる。その理由は、トレンチ溝の底部に厚い酸化膜層を設けているためである。

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置を示し、(a)はその平面図、(b)は(a)のA-A'線に沿った断面図である。

【図2】本発明の実施の形態に係る半導体装置の動作概念図である。

【図3】本発明の実施形態に係る半導体装置の製造工程

を示す断面図である。

【図4】本発明の実施形態に係る半導体装置の製造工程を示す断面図である。

【図5】本発明の実施形態に係る半導体装置の製造工程を示す断面図である。

【図6】本発明の実施形態に係る半導体装置の製造工程を示す断面図である。

【図7】本発明の実施形態に係る半導体装置の製造工程を示す断面図である。

【図8】本発明の実施形態に係る半導体装置の製造工程を示す断面図である。

【図9】本発明の実施形態に係る半導体装置の製造工程を示す断面図である。

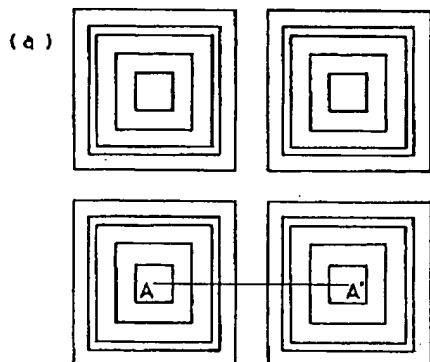
【図10】従来例に係る半導体装置を本発明と比較するための断面図である。

【図11】本発明に係る半導体装置を従来例と比較するための断面図である。

【図12】本発明の第2の実施の形態に係る半導体装置の断面図である。

【図13】従来の半導体装置の断面図である。

【図1】



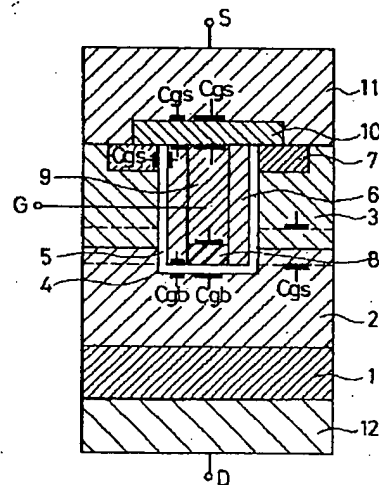
- | | |
|----------------|-------------|
| 1 : N+型半導体基板 | 7 : ソース領域 |
| 2 : N-エピタキシャル層 | 8 : 酸化膜層 |
| 3 : Pベース領域 | 9 : 金属層 |
| 4 : トレンチ溝 | 10 : 層間膜 |
| 5 : ゲート酸化膜 | 11 : ソース電極 |
| 6 : ポリシリコン | 12 : ドレイン電極 |

【図14】従来の半導体装置の他の例を示す断面図である。

【符号の説明】

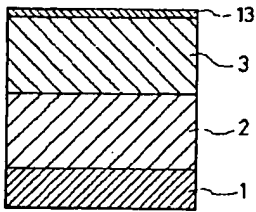
- | | |
|----|-------------------|
| 1 | N+型半導体基板 |
| 2 | N-エピタキシャル層 |
| 3 | Pベース領域 |
| 4 | トレンチ溝 |
| 41 | 中空部分 |
| 5 | ゲート酸化膜 |
| 6 | ポリシリコン |
| 7 | ソース領域 |
| 8 | 酸化膜層 |
| 9 | 金属層 |
| 10 | 層間膜 |
| 11 | ソース電極 |
| 12 | ドレイン電極 |
| 13 | 酸化膜 |
| 14 | トレンチマスク用CVD酸化膜 |
| 15 | フォトリソ |
| 16 | ポリシリエッチマスク用CVD酸化膜 |

【図2】

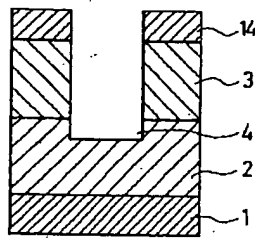


- | | |
|----------------|-------------|
| 1 : N+型半導体基板 | 7 : ソース領域 |
| 2 : N-エピタキシャル層 | 8 : 酸化膜層 |
| 3 : Pベース領域 | 9 : 金属層 |
| 4 : トレンチ溝 | 10 : 層間膜 |
| 5 : ゲート酸化膜 | 11 : ソース電極 |
| 6 : ポリシリコン | 12 : ドレイン電極 |

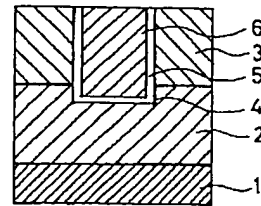
【図3】



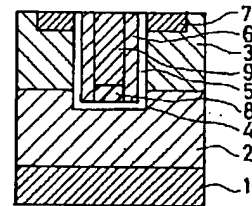
【図4】



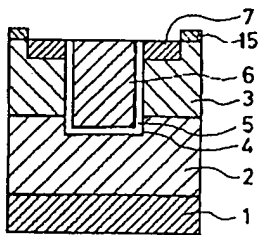
【図5】



【図8】

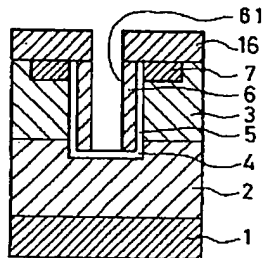


【図6】

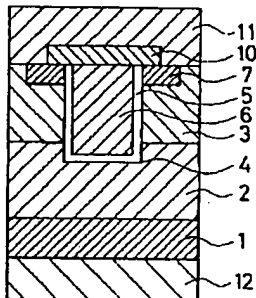


- 1 : N+型半導体基板
2 : N-エピタキシャル層
3 : Pベース領域
4 : トレンチ溝
13 : 酸化膜
14 : トレンチマスク用CVD酸化膜

【図7】

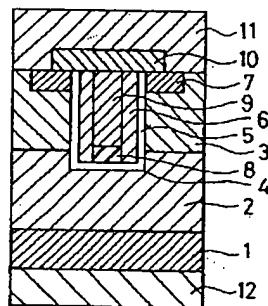


【図10】



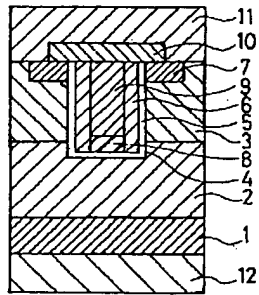
- 1 : N+型半導体基板
2 : N-エピタキシャル層
3 : Pベース領域
4 : トレンチ溝
5 : ゲート酸化膜
6 : ポリシリコPベース領域
7 : ソース領域
15 : フォトリソ
16 : ポリシリエッチマスク用CVD酸化膜
61 : 中空部分

【図11】



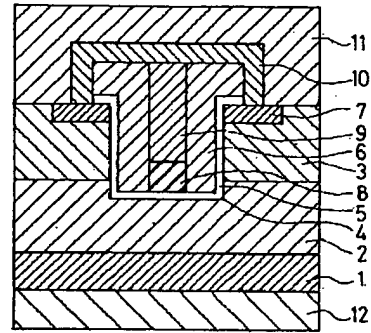
- 1 : N+型半導体基板
2 : N-エピタキシャル層
3 : Pベース領域
4 : トレンチ溝
5 : ゲート酸化膜
6 : ポリシリコン
7 : ソース領域
8 : 酸化膜層
9 : 金属層
10 : 層間膜
11 : ソース電極
12 : ドレイン電極

【図9】



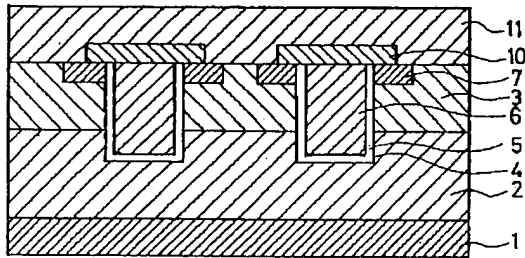
- | | |
|----------------|-------------|
| 1 : N+型半導体基板 | 7 : ソース領域 |
| 2 : N-エピタキシャル層 | 8 : 酸化膜層 |
| 3 : Pベース領域 | 9 : 金属層 |
| 4 : トレンチ溝 | 10 : 層間膜 |
| 5 : ゲート酸化膜 | 11 : ソース電極 |
| 6 : ポリシリコン | 12 : ドレイン電極 |

【図12】

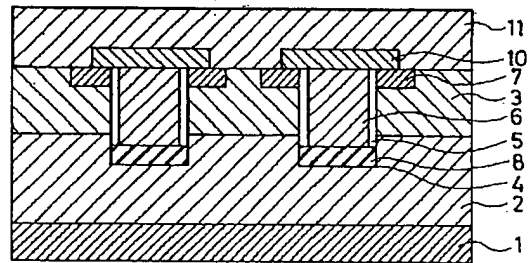


- | | |
|----------------|-------------|
| 1 : N+型半導体基板 | 7 : ソース領域 |
| 2 : N-エピタキシャル層 | 8 : 酸化膜層 |
| 3 : Pベース領域 | 9 : 金属層 |
| 4 : トレンチ溝 | 10 : 層間膜 |
| 5 : ゲート酸化膜 | 11 : ソース電極 |
| 6 : ポリシリコン | 12 : ドレイン電極 |

【図13】



【図14】



- | | |
|----------------|------------|
| 1 : N+型半導体基板 | 6 : ポリシリコン |
| 2 : N-エピタキシャル層 | 7 : ソース領域 |
| 3 : Pベース領域 | 8 : 酸化膜層 |
| 4 : トレンチ溝 | 10 : 層間膜 |
| 5 : ゲート酸化膜 | 11 : ソース電極 |